

Veranstaltungen 2010

*“Willst Du etwas wissen,
so frage einen Erfahrenen
und keinen Gelehrten!”*

Chinesisches Sprichwort

Nach diesem chinesischen Sprichwort handeln viele unserer Kunden, wenn es um Leiterplattentechnologie geht. Ein rascher Anruf oder eine kurze E-Mail genügen, und wir werden Ihnen kurzerhand Lösungen zu Ihren Fragen bieten, auch wenn das Ergebnis durchaus mal etwas akademischer oder wissenschaftlicher ausfällt. Unser Team von Technologen im Vertrieb, der kurze Draht zu den Experten in der Produktion und das Netzwerk externer Fachleute bilden die Grundlage für die schnellen und kompetenten Antworten.

Wer technologische Informationen lieber im Selbststudium durcharbeiten möchte, wird auch auf unserer Technologie-CD V6.online fündig. Erfahrungsgemäß lassen sich konkrete Fragestellungen jedoch mit individuellen Ergänzungen viel gezielter beantworten.

Nicht nur für kurze Fragen, sondern auch für umfassende Lerninhalte gilt: Die effektivste Art, sich fachkundig zu informieren, ist das persönliche Gespräch. So gibt es auch im Jahr 2010 wieder eine Reihe von Veranstaltungen, bei denen Sie sich noch mehr Wissen aneignen können. Aktuell sind folgende Termine geplant:

Messen

SMT/HYBRID/PACKAGING
8.-10. Juni, Nürnberg



electronica  **electronica 2010**
components | systems | applications
9.-12. November, München

Seminare/Vorträge/Ausstellungen

Dr. Christoph Lehnberger stellt seit acht Jahren in begehrten Seminaren die Grundlagen und aktuellen Lösungen für das Thermische Management vor:

FED-Thermoseminar
11. März, München
18. November, Fulda



OTTI-Fachforum
“Wärmemanagement in
elektronischen Systemen”
11.-12. Oktober, Regensburg



Ein weiterer Schwerpunkt bei Vorträgen sind aktuelle Technologieentwicklungen:

2. Landshuter Symposium
Microsystemtechnik:
“Rahmen, Kavitäten, Kanäle - Die Vielfalt
der mechanischen Bearbeitung von
Leiterplatten”
24.-25. Februar, Landshut



Elektronische Baugruppen
und Leiterplatten (EBL):
“Neue Microvias und Mikrostrukturen für
Finepitch-BGAs - Sichere Verarbeitung
von Micro-HDI-Schaltungen”
24.-25. Februar, Fellbach



IMAPS-Seminar “3D - mehr
als nur die dritte Dimension?”
Pneumatronik - Integrierte Fluidik in
Leiterplatten”
2. März, Ilmenau



ESTC -
Electronics System
Integration Technologies Conference
13.-16. September, Berlin



Sollten Sie diese Termine nicht wahrnehmen können oder nicht mehr so lange warten wollen, nehmen Sie doch direkt mit uns Kontakt auf. Wir freuen uns auf Ihre Anforderungen!

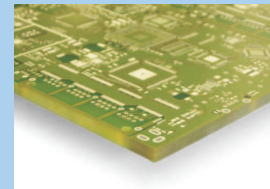
Haus-Information

ANDUS fertigt 5 mm-Leiterplatten

Die Nachfrage nach hochlagigen Backplanes, Boards für Wavertests und Leiterplatten, die trotz ihrer Größe gegenüber Vibrationen mechanisch stabil sein müssen, ist in den vergangenen Jahren stetig gestiegen.

Dieser Bedarf hat **ANDUS** dazu veranlasst, sukzessive alle Fertigungsprozesse für höhere Leiterplattenstärken auszurichten und Durchlaufanlagen und Transportvorrichtungen entsprechend nachzurüsten.

ANDUS ist somit in der Lage, auch bis zu 5 mm dicke Bilyer-, Multilayer- und Starrflex-Leiterplatten zu fertigen.

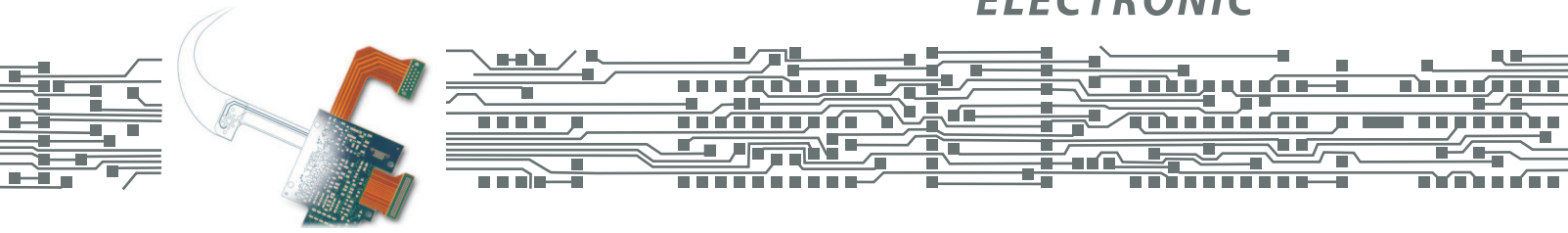


40 Jahre ANDUS

Am 15. Oktober 1969 wurde **ANDUS** aus der Taufe gehoben und produzierte die ersten Leiterplatten mit selbstgebaute, einfachstem Equipment. Von den damals noch ersten einseitigen Leiterplatten, bis hin zu den heutigen Technologien, hat sich sehr viel verändert.

Die **ANDUS**-Philosophie ist aber über die Jahrzehnte gleich geblieben. Sie lautete von Anfang an: Fertigung von Leiterplatten-Prototypen in allen verfügbaren Technologien und höchster Qualität.





Blick in die Technik:

Auflösungsgrenzen für Laserdirektbelichtung - Laser Direct Imaging (LDI) -

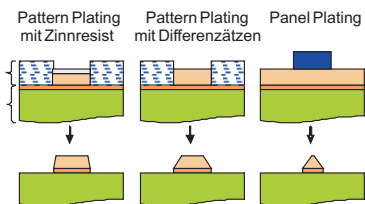
Die Wunschvorstellung eines jeden Leiterplattenherstellers ist die direkte Strukturierung des Kupfers mit Lasern. Dies funktioniert nur in ausgesuchten Flex-Anwendungen. Haupthindernis ist die thermische Beständigkeit des Basismaterials und die kaum zu verhindernde Verkohlung der Oberfläche, wodurch die kompletten Lagen hochohmig kurzgeschlossen werden.

Die Laserdirektbelichtung ist nur ein Bestandteil der Leiterbilderstellung, bestehend aus: Reinigen des Basismaterials - Vorbehandeln - Beschichten - LDI - Entwickeln - Ätzen - Entschichten. Die Feinheit und Genauigkeit wird bei Innenlagen begrenzt durch:

1. Auflösung/Stabilität der Filme
2. Parallelität/Homogenität der Lichtquelle
3. Homogenität/Haftfestigkeit des Fotorésists
4. Rauigkeit des Kupfers
5. Entwicklungsqualität
6. Ätzqualität
7. Unterätzung

Nur die **ersten beiden Punkte** entfallen durch das LDI.

Bei Außenlagen kommen zusätzliche Prozesse hinzu, die die Feinheit beeinflussen können. Dabei sind drei unterschiedliche galvanische Verfahren zu unterscheiden:



Drei unterschiedliche galvanische Verfahren zum Leiterbildaufbau

Pattern Plating mit Zinnresist

Der galvanische Kupferaufbau wird nur auf dem Leiterbild (Pattern) abgeschieden, begrenzt durch einen temporären Galvano-Resist. Als Ätzschutz dient eine dünne Zinnschicht. Der zusätzliche Aufwand der Zinnabscheidung und der separaten Ätzlinie wird mit den besten Ätzergebnissen und den feinsten Strukturen belohnt, so dass man im Design nicht zwischen Innen- und Außenlagen unterscheiden muss.

Pattern Plating mit Differenzätzen

Der galvanische Aufbau erfolgt ebenfalls mit Galvano-Resist, jedoch wird beim Ätzen auf das Schützen der Leiter verzichtet. Über die unterschiedliche Ätztiefe von Basiskupfer und Leiterkupfer bleiben am Ende die Leiter stehen. Die Feinheit der Leiter ist bei diesem Verfahren begrenzt.

Panel Plating

Am ungünstigsten für Feinstleister und Materialfluss ist das Panel Plating, bei dem zunächst das komplette Fertigungspanel galvanisch verstärkt und anschließend das Leiterbild geätzt wird. Durch die hohe Unterätzung sind hier keine Microleiter möglich.

Mit der Einführung der Laserdirektbelichtung für die Resistschichten verbessern sich die Auflösungsgrenzen gravierend, da der Laserstrahl parallel und mit einem $<15 \mu\text{m}$ Fokus belichtet. Die anderen, die Feinheit von Leiterbahnen begrenzenden Faktoren, bleiben dagegen bestehen. Vor allem bei geringeren Kupferstärken ergeben sich damit Verbesserungen, so dass **Leiterbreiten bis $50 \mu\text{m}$** in einem normalen Layout möglich sind.

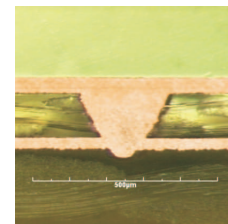
Unabhängig von den technischen Möglichkeiten sollte man aus wirtschaftlichen Gründen nur so fein wie nötig und nicht so fein wie möglich designen. So sollte man prüfen, ob man nur selektiv an Engstellen unter BGAs feinere Leiter verwendet, um das restliche Design günstiger zu gestalten.

Blick in die Zukunft (Folge 8)

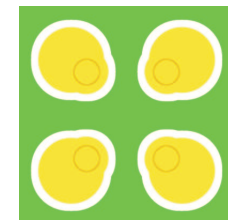
Exzentrische Microvias

Vor einigen Jahren hat **ANDUS** die ersten Leiterplatten für μBGAs mit $0,4 \text{ mm}$ Raster gefertigt. Aktuell verzeichnet **ANDUS** einen enormen Anstieg dieses Designs und rechnet damit, dass sich diese Bauteilform in naher Zukunft generell für feine Designs etablieren wird.

Die $0,4\text{mm}$ -BGAs werden meist auf kupfergefüllten Microvias platziert:



Für die Entflechtung von zwei Reihen auf einer Innenlage benötigt man normalerweise $50 \mu\text{m}$ Strukturen, es sei denn, man wendet den Trick der exzentrischen Microvias an:



Gerne senden wir Ihnen konkrete Designhinweise zu! Rufen Sie uns an oder e-mailen Sie uns!

Übrigens...

... kenn' Se den schon?

Ein Porschefahrer fährt mit 250 km/h auf der Autobahn. Da bemerkt er, dass neben ihm ein Mopedfahrer mithält. Er lässt die Scheibe runter und ruft: "Na, frisiert?" Darauf der Mopedfahrer: "Nein, Ärmel eingeklemmt!"

